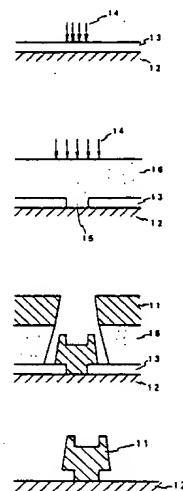


(54) FORMATION OF FINE ELECTRODE

(11) 1-186682 (A) (43) 26.7.1989 (19) JP
 (21) Appl. No. 63-7183 (22) 14.1.1988
 (71) NEC CORP (72) NORIHIKO SAMOTO
 (51) Int. Cl.⁴ H01L29/80, H01L21/28, H01L21/30

PURPOSE: To control upper and lower resist opening widths separately, by exposing and developing each resist by charged particles at the stage of applying each resist when its resist is applied twice.

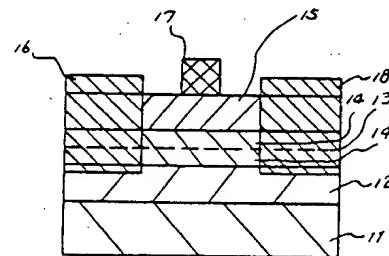
CONSTITUTION: The first resist 13 is coated and formed on a substrate 12 and electron beams 14 are irradiated on the resist 13. Then, the resist 13 is developed and an opening 15 corresponding to the lower size of a fine electrode 11 is formed. After that, the second resist 16 is applied and formed in such a way that it covers the opening 15 in the resist 13 and then, the resist 16 is exposed and is developed by the electron beams 14 so as to include the opening 15. Electrode materials 11 are vaporized and resist films 13 and 16 as well as the electrode materials 11 on the resist 16 are removed by organic cleaning or the ashing treatment of oxygen plasma. In this way, the upper and lower resist films 13 and 16 are exposed and developed separately and the opening width of the upper layer resist film 13 is formed so that it is larger than the opening width of the lower layer resist film 16. Then, a low resistance electrode 11 having a T-section is formed.

**(54) SEMICONDUCTOR DEVICE**

(11) 1-186683 (A) (43) 26.7.1989 (19) JP
 (21) Appl. No. 63-7180 (22) 14.1.1988
 (71) NEC CORP (72) HIKARI TODA
 (51) Int. Cl.⁴ H01L29/80, H01L29/205

PURPOSE: To suppress a short channel effect, by forming the first semiconductor layer on a substrate, the second semiconductor layer on the first semiconductor layer, a high density impurity layer at a part of the second semiconductor layer, the third semiconductor layer or an insulation layer having low impurity density on the second semiconductor layer respectively.

CONSTITUTION: The second semiconductor layer 14 is formed on the first semiconductor layer 12 located on a substrate 11 and a sufficient output current is obtained by introducing, in the above semiconductor layer 14, a high density impurity layer (a δ doped layer) 13 to the thickness of the order of a monoatomic layer. Simultaneously, without lowering a channel aspect ratio, a hetero buffer layer 12 and the third semiconductor layer 15 having a low impurity density are introduced. In this way, the spread of travel carrier electrons is suppressed during operation of elements and also a short channel effect is inhibited.



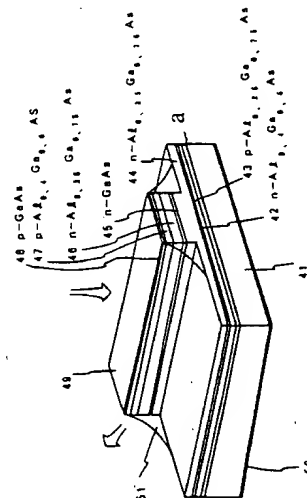
16: ohmic electrode, 17: control electrode, 18: ohmic electrode

(54) SEMICONDUCTOR OPTICAL MEMORY

(11) 1-186684 (A) (43) 26.7.1989 (19) JP
 (21) Appl. No. 63-7173 (22) 14.1.1988
 (71) NEC CORP (72) KENICHI KASAHARA
 (51) Int. Cl.⁴ H01L33/00, H01L31/14, H01S3/102, H01S3/18

PURPOSE: To improve trigger photosensitivity, by laminating the first ~ third semiconductor layers in an n-type semiconductor for a base one by one, and making forbidden band widths of a p-type semiconductor for anode as well as an n-type semiconductor for cathode layer larger than those of the first and third semiconductor layers and making the forbidden band width of the second semiconductor layer narrow.

CONSTITUTION: As to an n-type semiconductor for a base, the first, second, and third semiconductor layers 44, 45, and 46 are laminated one by one. Then, this element makes the forbidden band widths of a p-type semiconductor for anode 47 and an n-type semiconductor for cathode 42 larger than either of those of the first and third semiconductor layers 44 and 46 and further, makes the forbidden band width of the second semiconductor layer 45 narrower than those of the first and third semiconductor layers 44 and 46. The state of a forward direction continuity, that is, the state of ON is induced by causing lights to be absorbed by the n-type semiconductor for the base and electrons as well as positive holes are relaxed in the second semiconductor layer 45. Thus, induced emission processes of the electrons as well as the positive holes make a laser oscillate to improve trigger sensitivity.



41: n-type GaAs substrate, 49: electrode, 50: electrode, 51: polyimide, a: n-type buffer layer

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平1-186684

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)7月26日

H 01 L 33/00
31/14
H 01 S 3/102
3/18

A-7733-5F
Z-7733-5F
7630-5F
7377-5F

審査請求 未請求 請求項の数 1 (全7頁)

⑭ 発明の名称 半導体光メモリ

⑯ 特 願 昭63-7173

⑰ 出 願 昭63(1988)1月14日

⑱ 発 明 者 笠 原 健 一 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称 半 導 体 光 メ モ リ

特 許 請 求 の 範 囲

p n p n 構造を有する半導体光メモリに於いて、ベース用 n 型半導体は第1の半導体層、第2の半導体層および第3の半導体層を順に積層してなり、アノード用 p 型半導体およびカソード用 n 型半導体の禁制帯幅は前記第1及び第3の半導体層のいずれの禁制帯幅より大きく、前記第2の半導体層の禁制帯幅は前記第1及び第2の半導体層の禁制帯幅より狭いことを特徴とする半導体光メモリ。

発 明 の 詳 細 な 説 明

(産業上の利用分野)

本発明は画像処理や光コンピュータ等に必要とされる半導体光メモリに関する。

(従来技術とその問題点)

微少なトリガ光によってレーザ発振をおこし、

トリガ光が無くなった後でも発振し続ける機能を備えた、半導体光メモリは、これからの光交換や、並列光情報処理システムを構成する際に不可欠なキー・デバイスである。このような機能を有するデバイスとしては双安定半導体レーザが知られており、昭和60年通信学会総合全国大会886などに詳細が報告されている。双安定半導体レーザの問題点は～数100 μ m程度の比較的強い強度のトリガ光が必要なことであつた。双安定半導体レーザをトリガ光でONさせるには、光をレンズを通してレーザ端面に照射し、効率良く、非励起状態にある活性層に絞り込んでやる必要がある。活性層の幅と厚みはそれぞれ約1 μ m、0.1 μ mと狭く、効率良い光結合は困難であつた。そのために結合損失が大きくなり、相対的にトリガ強度は高い値が必要とされるようになる。

第9図はジャーナル・オブ・アプライド・フィジックス(Journal of Applied Physics)誌、第59巻、第596頁～第600頁、1986年に記載されている半導体光メモリの従来例の断面図

である。

この従来例はpnpnサイリスタ構造となっている。アノード領域93とカソード領域95はそれぞれp-A1GaAsとn-A1GaAsからなり、これらが禁制帯幅の狭いn-GaAsで形成されたn型ベース層の4aを挟む構造となっている。サイリスタがオンし、高インピーダンス状態から低インピーダンス状態に移ると、n型ベース層の4aにキャリアが注入され、この部分に閉じ込められる結果、自然放光が生じる。但し、双安定レーザと違って高い光出力は得られない。

(発明が解決しようとする問題点)

従来例に於ける問題点をまとめると以下のようになる。即ち、双安定半導体レーザでは出力光として誘導放光が得られるが、トリガ光の光結合が難しく、結合損失が大きくなってしまおうという問題があった。又、pnpnサイリスタでは出力光は、自然放光光であるので、双安定半導体レーザの様に高い光出力が得られないという問題があった。

状態、同図(b)は高インピーダンス状態、同図(c)はON状態のバンド図である。簡単のためにヘテロ接合でのバンド不連続等、本発明の本質に関わりないところは定性的に近似を施して示した。第1図(a)に各層のキャリア濃度と禁制帯エネルギーを示してある。アノード用p型半導体、カソード用n型半導体の禁制帯幅はそれぞれ E_4 と E_1 で示されている(図では $E_4 = E_1$)。ベース用のn型半導体層は禁制帯幅 E_2 が E_4 と E_1 の2つの半導体から構成されている。このうち $E_2 = E_1$ の層がレーザ動作用の活性層となる。禁制帯幅の大小関係は $E_4, E_1 > E_2 > E_3$ となるようにする。ベース用のn型半導体層のキャリア濃度(n_2 と n_3)はある程度、低濃度にして置く。アノードに正、カソードに負の電圧を印加していくと、始めのうちは電流が殆ど流れない高インピーダンス状態となる(第1図(a))。ベース用のn型半導体層が低濃度であるので、印加電圧は殆どベース領域のp-n接合にかかり、空乏層はベース用n型半導体層中に伸

(問題点を解決するための手段)

前述の問題点を解決するために本発明が提供するpnpn構造を有する半導体光メモリは、ベース用n型半導体は第1の半導体層、第2の半導体層および第3の半導体層を順に積層してなり、アノード用p型半導体およびカソード用n型半導体の禁制帯幅は前記第1及び第3の半導体層のいずれの禁制帯幅より大きく、前記第2の半導体層の禁制帯幅は前記第1及び第2の半導体層の禁制帯幅より狭いことを特徴とする。

上記記載の半導体光メモリによって、光を前記ベース用、n型半導体に吸収させることによって、順方向導通状態、即ち、ON状態を引き起こし、電子と正孔を前記第2の半導体層中に緩和させ、その電子と正孔との誘導放出過程によってレーザ発振を起こさせることが可能となる。

(作用)

第1図および第2図は本発明の原理を示すバンド図、第3図は動作図である。

第1図(a)はバイアス電圧がかかっていない

びていく。アノード用p型半導体中の正孔はベース、アノード間のp-n接合に生じているポテンシャル障壁を越えられず、そのために、電流が殆ど流れない高インピーダンス状態が生じる。更に印加電圧を増大させていき、第3図(a)に示したブレイクオーバー電圧(V_{bo})を超えると、急に電流が流れ始め、ON状態になる(第1図(c))。この辺の動作メカニズムは通常のサイリスタと同じである。ON状態でこの素子にかかる電圧は、実質的に1個のp-n接合と同じになる。ベース用n型半導体中に禁制帯幅の狭い半導体層($E_2 = E_3$)を設けておくと、電子と正孔の一部はこのポテンシャルの窪みに落ち込む。外部に反射鏡を置いておけば、利得が損失を上回ったところでレーザ発振が得られる。カソード用n型半導体とアノード用p型半導体の禁制帯幅をベース用n型半導体のそれよりも大きくしておけば、ON状態のときにアノードに流れ出す電子とカソードに流れ出す正孔の数を減らすことができ、活性層中にキャリアを緩和させやすくなる。

従って発光効率を高めることができる。第3図(a)で示した $V = V_{th}$ の点に電圧を設定しておき、適当な光量の光を入射させ、これをベース用n型半導体で吸収させる。第3図(a)に於いて V_{th} はON状態がぎりぎり保持される最低の電圧で、保持電圧である。そうすると正孔がベース用p型半導体に注入されることになる。注入された正孔はトランジスタ効果でこの層を通過する電子を増やす。この電子はベース用n型半導体に生じているポテンシャルの傾きを緩やかにする。そうするとアノードからベースに注入される正孔が増える。この正のフィードバック効果でこの素子を高インピーダンス状態からON状態に移行させることができる。即ち、第3図(b)で示した様に、トリガ光でこの素子をレーザ発振させることができる。 V_{th} を V_{so} に近づける程トリガ感度を高めることができる。 $E_g = E_g$ の半導体層をわざわざ設けずに、始めからベース用n型半導体層を一層とし通常の半導体レーザの活性層厚なみ($\approx 0.1 \mu m$)にして、禁制帯幅を小さくしておけば良

いと考えられるかもしれないが、それは駄目である。何故ならば、トリガ光の吸収が $0.1 \mu m$ 程度の厚さでは小さいのでトリガ感度が低下してしまうからである。

第2図はトリガ感度を高めるために行なった改良素子のバンド図である。第1図との違いはベース用p型半導体の層厚を薄くしてあることである。この層厚を薄くし、例えば外部からの印加電圧が零の状態で空乏化する程に薄くしておく。そうすると、n(カソード)-p(ベース)-n(ベース)トランジスタの光電流利得が一層、高まりトリガ感度を高めるために好都合となる。

ジャーナル・オブ・アプライド・フィジックス(J. Appl. Phys. 59 (2), pp. 596~600, 1986)には、第2図の様にp型ベース半導体の層厚を薄くした光サイリスタの報告が成されている。この論文によれば $\sim 0.1 \mu m$ のトリガ光で $100 mA$ 以上の電流をONさせて流すことが可能であり、これだけの電流が活性層中に効率よく流れ込めれば充分レーザ発振が可能である。

第4図は電氣的スイッチとして使われる通常のpnnpnサイリスタのベース領域のキャリア濃度や層厚等のパラメータを定めるための設計図である。第4図を使えば本発明でどの様な設計をすれば良いのか概略の指針が得られ、サイリスタの高インピーダンス状態から低インピーダンス状態への移行はn型ベース領域のパンチ・スルー電圧 V_{PT} となだれ降伏電圧 V_{SO} によって決まる。n型ベース領域が単一半導体層でできている場合、オン電圧は、パンチ・スルー制御では、階段接合近似を用いると、

$$V_{PT} \approx \frac{e N_D d^2}{2 \epsilon_s} \quad \dots \dots (2)$$

又、なだれ降伏制限では

$$V_{SO} = V_B (1 - \alpha_1 - \alpha_2)^{1/2} \quad \dots \dots (3)$$

$$V_{SO} \approx 60 (E_g / 1.1)^{3/2} (N_D / 10^{16})^{-3/4} \quad \dots \dots (4)$$

と書き表わせる。(2)~(4)式で、 N_D はベース層のキャリア濃度、 d はベース層厚、 e は誘電率、 α_1 、 α_2 はそれぞれnpn、pnpトランジスタの電流利得、 n は定数、 E_g は禁制帯幅エネルギーである。(4)式では E_g 、 N_D の単位はそれぞ

れ eV 、 cm^{-3} である。第4図はベースがGaAsの場合に対してオン電圧とキャリア濃度の関係を示したものである。本発明ではオン電圧が第5図で示された値より若干、高電圧側にシフトする。

(実施例)

実施例1

第5図は本発明の一実施例を示す斜視図である。AlGaAs/GaAs系半導体を用いた $0.8 \mu m$ 帯用の光メモリである。n-GaAs基板41にバッファ用のn-GaAs(厚さ $d = 2 \mu m$ 、 $n = 2 \times 10^{18} cm^{-3}$)をつんだ後、カソード側となるn-Al_{0.4}Ga_{0.6}As($d = 2 \mu m$ 、 $n = 5 \times 10^{17} cm^{-3}$)42、ベース用p型半導体となるp-Al_{0.25}Ga_{0.75}As($d = 50 \text{ \AA}$ 、 $n = 1 \times 10^{19} cm^{-3}$)43、ベース用n型半導体となるアンドープのn-Al_{0.25}Ga_{0.75}As($d = 0.3 \mu m$ 、 $n = 1 \times 10^{15} cm^{-3}$)44、アンドープのn-GaAs($d = 0.1 \mu m$ 、 $n = 1 \times 10^{15} cm^{-3}$)45、n-Al_{0.25}Ga_{0.75}As($d = 0.8 \mu m$ 、 $n = 1 \times 10^{17} cm^{-3}$)46を成長させ、更にアノードとなるp-Al_{0.4}Ga_{0.6}As(d

$= 1 \mu\text{m}$ 、 $n = 5 \times 10^{18} \text{cm}^{-3}$) 47とキャップ層用の $p\text{-GaAs}$ ($d = 0.2 \mu\text{m}$ 、 $n = 2 \times 10^{19} \text{cm}^{-3}$) 48とを成長させる。層44、45、46が第1図(a)の n_2 、 n_1 、 n_2 にそれぞれ対応する。 $n\text{-GaAs45}$ が活性層となる。 p 型ドーパはBeで、又、 n 型ドーパはSiで行った。成長は分子線エビタキシー(MBE)法で行なった。バンド図は第1図とほぼ同じである。

層44、45、46が第1図(a)の n_2 、 n_1 、 n_2 にそれぞれ対応する。 $n\text{-GaAs45}$ が活性層 $n\text{-Al}_{0.25}\text{Ga}_{0.75}\text{As44}$ と46が主なる光吸収層となる。層44と45を低濃度層としたのはトリガ光を照射した時に、光吸収層で発生したフォト・キャリアが禁制帯幅の狭い活性層となる $n\text{-GaAs45}$ でトラップされるのを防ぐためである。即ち、層44、45を低濃度化しておくくとOFF状態で適当なバイアス電圧をかけておくと層44、45を空乏化させておくことができる。空乏化していると、層45、即ち活性層には電解がかかっているの、フォトキャリアは、ここを通り抜ける。そして、電子は

$n\text{-Al}_{0.25}\text{Ga}_{0.75}\text{As46}$ にたまり、正孔は $p\text{-Al}_{0.25}\text{Ga}_{0.75}\text{As43}$ にたまることができるようになり、トリガ光でOFF状態をON状態とすることができるようになる。もし、層44、45の濃度を低濃度化しておかないと、ブレイク・オーバー電圧は非常に高くなってしまい、非常に使いづらくなる。本実施例ではブレイク・オーバー電圧、即ち、OFFからON状態に移行する電圧を約4Vにすることができトリガ光感度も1.0に下げることができた。第5図で示したように幅 $1.5 \mu\text{m}$ でエッチング加工を施し、上部をストライプ状にする。その両側はポリイミド51でおおい、活性層とその両脇との屈折率差を小さくすることによって横モードの制御をする。ポリイミドコートはパッシベーションの役割も果たす。へき開で共振面を形成する。共振器長は $100 \mu\text{m}$ である。電極49、50には AuZn/Cr/Au と AuGe-Ni/Cr/Au を用いた。バイアス電圧を調整することにより、数 $10 \mu\text{m}$ のトリガ光でレーザ発振を起こさせ、数 10mW の出力を得ることができた。又、その時の外部微分量子効率

は片面で23%であった。第6図に示したように発振波長は $\lambda \approx 870 \mu\text{m}$ であり、GaAsのバンドギャップに対応する誘導放出光が得られた。また、発振の前後において、 $n\text{-Al}_{0.25}\text{Ga}_{0.75}\text{As44}$ 、46のバンドギャップに対応する波長での発光は認められず、ON状態で注入キャリアが $n\text{-GaAs45}$ に有効に閉じ込められていることが分かった。

実施例2

第7図は本発明の第二実施例を示す斜視図である。 InP 系半導体を用いた $1 \mu\text{m}$ 帯用の光メモリである。 $n\text{-InP}$ 基板71にカソード側となる $n\text{-InP}$ (厚さ $d = 2 \mu\text{m}$ 、 $n = 2 \times 10^{18} \text{cm}^{-3}$) 72、ベース用 p 型半導体となる $p\text{-InGaAsP}$ ($\lambda_g = 1.3 \mu\text{m}$ 、 $d = 30 \text{\AA}$ 、 $n = 2 \times 10^{18} \text{cm}^{-3}$) 73、ベース用 n 型半導体となるアンドープの $n\text{-InGaAsP}$ ($\lambda_g = 1.3 \mu\text{m}$ 、 $d = 10^{15} \text{cm}^{-3}$) 74、アンドープの $n\text{-In}_{0.95}\text{Ga}_{0.47}\text{As}$ ($\lambda_g = 1.55 \mu\text{m}$ 、 $d = 0.1 \mu\text{m}$ 、 $n = 5 \times 10^{15} \text{cm}^{-3}$) 75、アンドープの $n\text{-InGaAsP}$ ($\lambda_g = 1.3 \mu\text{m}$ 、 $d = 0.3 \mu\text{m}$ 、 $n = 5 \times 10^{15} \text{cm}^{-3}$) 76を成長さ

せ、更にアノードとなる $p\text{-InP}$ ($d = 0.5 \mu\text{m}$ 、 $n = 2 \times 10^{18} \text{cm}^{-3}$) 77とキャップ層用の $p\text{-InGaAsP}$ ($\lambda_g = 1.15 \mu\text{m}$ 、 $d = 0.5 \mu\text{m}$ 、 $n = 2 \times 10^{19} \text{cm}^{-3}$) 78とを成長させる。層74、75、76が第1図(a)の n_2 、 n_1 、 n_2 にそれぞれ対応する。 $n\text{-InGaAs75}$ が活性層となる。

p 型、 n 型のドーパントにはZnとSをそれぞれ用いた。

第7図で示したように幅 $1.5 \mu\text{m}$ でエッチング加工を施し、上部をストライプ状にする。その両側はポリイミド81でおおい、活性層とその両脇との屈折率差を小さくすることによって横モードの制御をする。ポリイミドコートはパッシベーションの役割も果たす。へき開で共振面を形成する。共振器長は $100 \mu\text{m}$ である。バイアス電圧を調整することにより、数 $10 \mu\text{W}$ のトリガ光でレーザ発振を起こさせ、数 mW の出力を得ることができた。

実施例3

実施例2で説明した第7図と同様の構造の光メ

モリを半導体層の厚さとキャリア濃度のみを一部変えて作製した。すなわち、ベース用p型半導体のp-InGaAs73の厚さは500Åとし、ベース用n型半導体のn-InGaAsP74の厚さを0.3μmとし、n-InGaAsP76の厚さは0.8μm、電子濃度(n)は $1 \times 10^{17} \text{cm}^{-3}$ として成長させた。これ以外の条件はすべて実施例2で説明したのと同様にした。作製した光メモリを数10μWのトリガ光でレーザを発振させたところ数mWの出力が得られた。

実施例4

第8図は本発明の応用例である。本発明になる半導体光メモリ86の外部に45°ミラー87をエッチング加工で形成し、共振面近くに配置しておけば、層厚方向に光がとり出せる。並列光情報処理への応用で有用である。

実施例においてはAlGaAs/GaAs系とInGaAsP/InP系の材料を用いて光メモリを作製した例を示したが本発明は、他の材料例えばAlGaAs/GaAs系、InGaAsP/InP系の両者から構成されるような

意図的にミスマッチを導入した混晶系材料やGaP系のような可視光材料にも応用できる。

(発明の効果)

以上のように本発明によれば、トリガ光を吸収層に対して垂直方向から入射、吸収させる構造となるので、トリガ光感度の高い光メモリが得られ光結合が容易となる。そして更にその結果誘導放出を生ぜしむることができるので、高光出力の半導体光メモリが実現できる。

図面の簡単な説明

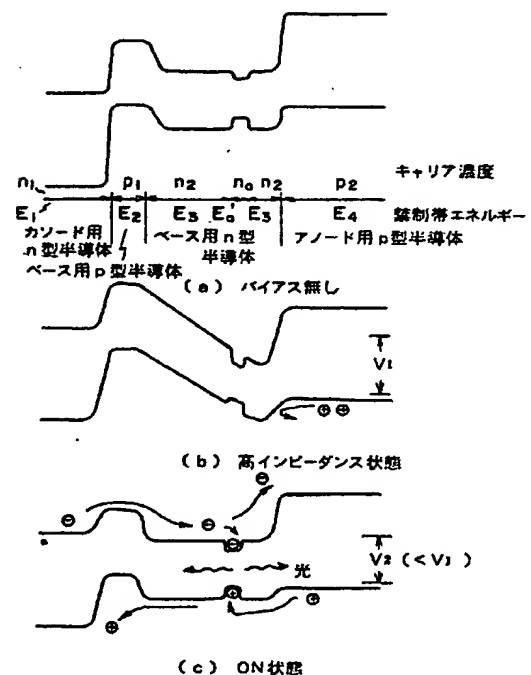
第1図、第2図は本発明原理を示すバンド図、第3図は動作図、第4図は設計図、第5図は本発明に係わる一実施例の斜視図、第7図は本発明の第2の実施例の斜視図、第6図は実施例の光メモリについて発振波長を測定したスペクトル図、第8図は応用例、第9図に従来例の断面図である。

41はn-GaAs基板、42はn-Al_{0.4}Ga_{0.6}As、43はp-Al_{0.25}Ga_{0.75}As、44、46はn-Al_{0.25}Ga_{0.75}As、45はn-GaAs、47はp-Al_{0.4}Ga_{0.6}As、48はp-GaAs、49、50、79、80は電極、51、81はポ

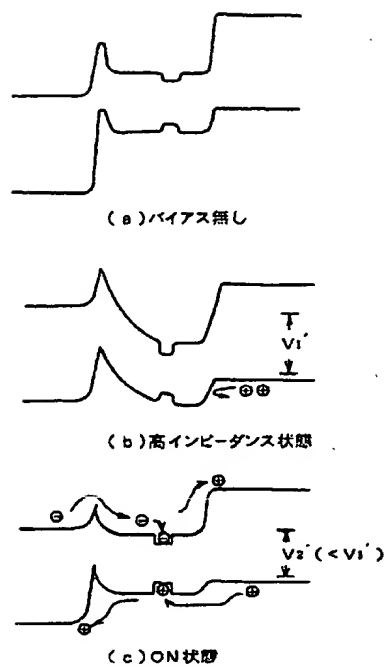
リイミド、71はn-InP基板、72はn-InP、73、78はp-InGaAsP、74、76はn-InGaAsP、75はn-InGaAs、77はp-InP、85は半導体基板、86は半導体光メモリ、87は45°ミラー、91は半導体基板、92はバッファ層、93はアノード領域、95はカソード領域、96はキャップ層、97はカソード電極、98はアノード電極、94aはn型ベース層、94bはp型ベース層である。

代理人 井理士 内原 晋

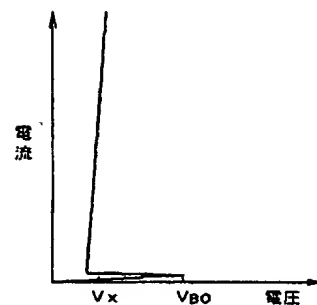
第1図



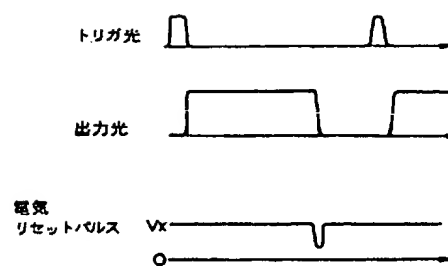
第 2 図



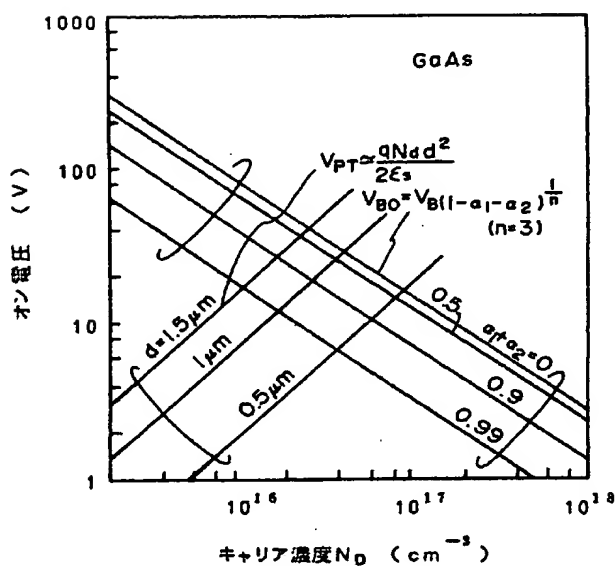
第 3 図 (a)



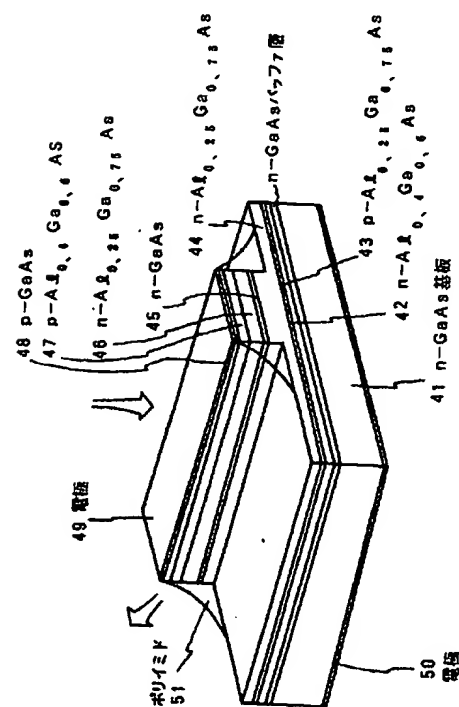
第 3 図 (b)



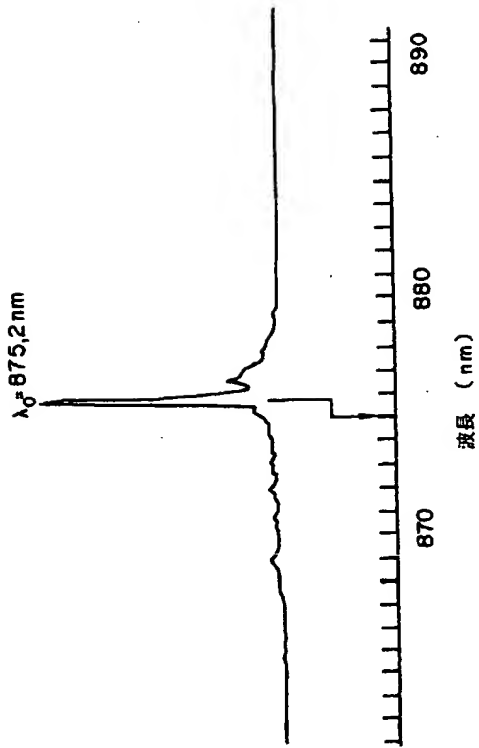
第 4 図



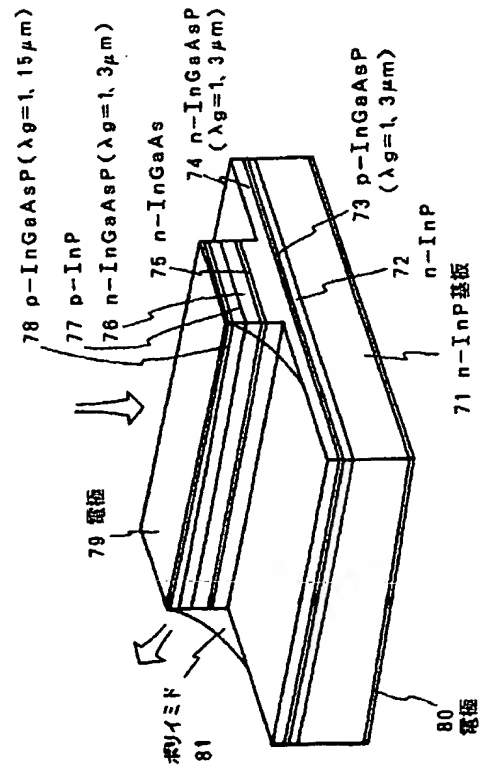
第 5 図



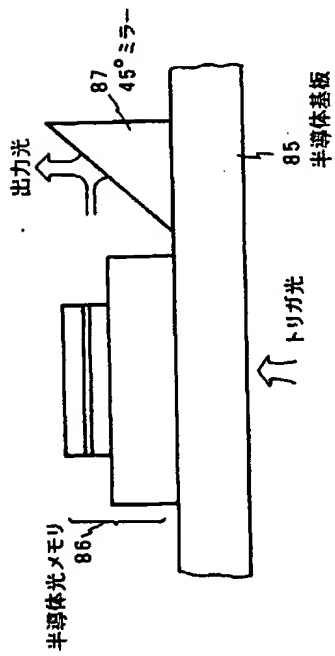
第 6 図



第 7 図



第 8 図



第 9 図

